

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-195353

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

G06F 13/38
// G06F 13/28

(21)Application number : 2000-005707

(71)Applicant : ROHM CO LTD

(22)Date of filing : 06.01.2000

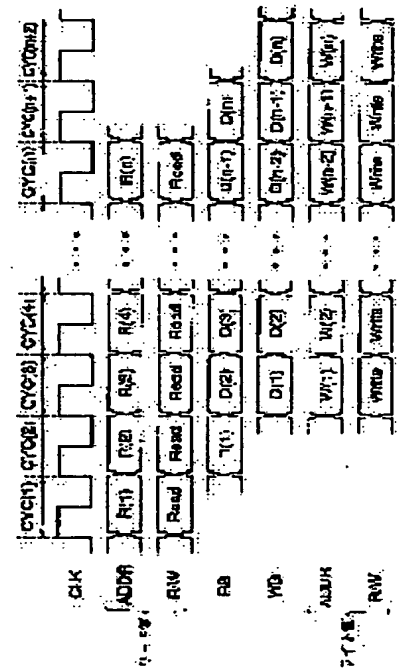
(72)Inventor : MIZUNO SHIYUUDO

(54) DMA TRANSFER SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DMA transfer system capable of accelerating the transfer speed of data without providing a function for switching the timing of performing write on a device side.

SOLUTION: At the time of reading the data in the order of the addresses R(1), R(2),..., R(n) of a device on a read side and writing them to the addresses W(1), W(2),..., W(n) of the device on a write side in a read order, to the device on the read side, a read instruction (Read) is supplied by read/write control signals R/W after specifying the address R(K) by address bus signals ADDR in a K-th cycle CYC(K) (where K=1, 2,..., n). To the device on the write side, a write instruction (Write) is supplied by the read/write control signals R/W after specifying the address W(K) by the address bus signals ADDR in a (K+2)-th cycle CYC(K+2) in the case of latching the data on a read bus RB for the period of one cycle and outputting them onto a write bus WB.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-195353

(P2001-195353A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 13/38	3 1 0	G 0 6 F 13/38	3 1 0 B 5 B 0 6 1
// G 0 6 F 13/28	3 1 0	13/28	3 1 0 J 5 B 0 7 7

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21)出願番号 特願2000-5707(P2000-5707)

(22)出願日 平成12年1月6日(2000.1.6)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 水野 秀導

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100085501

弁理士 佐野 静夫

Fターム(参考) 5B061 DD06 DD09 RR03

5B077 BA07 BB04 DD05 MM02

(54)【発明の名称】 DMA転送システム

(57)【要約】

【課題】 書き込みを行うタイミングを切り替える機能をデバイス側に設けることなく、データの転送速度を向上させたDMA転送システムを提供する。

【解決手段】 リード側のデバイスのアドレスR

(1)、R(2)、…、R(n)の順にデータを読み出し、読み出した順にライト側のデバイスのアドレスW

(1)、W(2)、…、W(n)に書き込む際には、リード側のデバイスには、K番目のサイクルCYC(K)

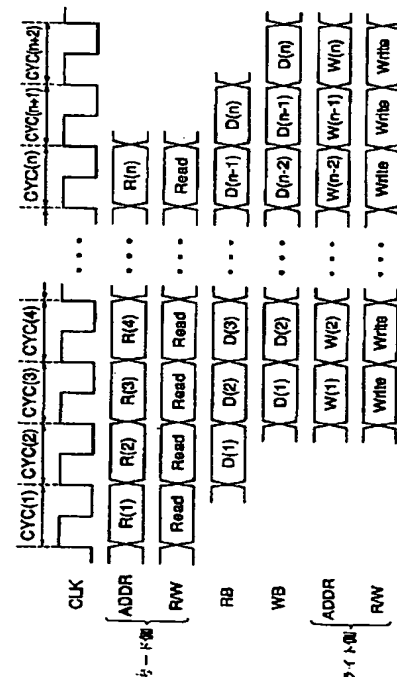
にて(但し、K=1、2、…、n)、アドレスバス信号ADDRによりアドレスR(K)を指定した上で、リード

ライト制御信号R/Wにより読み出し命令(Read)を与え、一方、ライト側のデバイスには、リードバ

スRB上のデータを1サイクルの期間ラッチしてライトバスWB上に出力する場合には、(K+2)番目のサイ

クルCYC(K+2)にて、アドレスバス信号ADDRによりアドレスW(K)を指定した上で、リードライト

制御信号R/Wにより書き込み命令(Write)を与える。



【特許請求の範囲】

【請求項1】 読み出し命令が行われたサイクルで指定されたアドレスのデータを次のサイクルでリードバス上に出力する複数のデバイスと、リードバス上に出力されたデータをライトバス上に出力するとともに、アドレスを指定するためのアドレスバス信号、並びに、読み出し命令及び書き込み命令を与えるためのリードライト制御信号を各デバイス毎に別々に制御する制御回路と、から成るDMA転送システムにおいて、

リード側のデバイスの第1の番地、第2の番地、…、第nの番地の順にデータを読み出し、ライト側のデバイスの第1の番地、第2の番地、…、第nの番地に読み出した順に書き込む際には、リード側のデバイスにK番目のサイクル（但し、 $K=1, 2, \dots, n$ ）にて、第Kの番地を指定した上で読み出し命令を与え、一方、ライト側のデバイスには、リードバス上のデータをLサイクル（但し、Lは0または正の整数）の期間ラッチしてライトバス上に出力することにより、 $(K+L+1)$ 番目のサイクルにて第Kの番地を指定した上で書き込み命令を与えることを特徴とするDMA転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 デバイス間でのデータ転送をCPU（中央処理装置）を介することなく行うDMA転送システムに関するものである。

【0002】

【従来の技術】 一般的なクロック同期型のデバイスの動作について説明する。チップセレクト信号により選択された状態で、リードライト制御信号により読み出し命令が与えられると、アドレスバス信号により指定されたアドレスのデータを、クロックの次のサイクルでリードバス上に出力する。また、チップセレクト信号により選択された状態で、リードライト制御信号により書き込み命令が与えられると、ライトバス上のデータをアドレスバス信号により指定されたアドレスに書き込む。

【0003】 このようなクロック同期型のデバイス間でDMA転送を行う方式としては、「2アドレス方式」と呼ばれるものと、「1アドレス方式」と呼ばれるものとが存在する。まず、2アドレス方式のDMA転送システムの一構成例を図6に示す。

【0004】 DMAコントローラA10からクロック同期型の各デバイス1、2、…、m（mは正の整数）には共通のアドレスバス信号ADDR、及び、共通のリードライト制御信号R/Wが与えられている。ライトバスWB上のデータは各デバイス1、2、…、mに共通に与えられている。

【0005】 セクタBは、DMAコントローラA10からの指示に従って、各デバイス1、2、…、mのリードバスRB-1、RB-2、…、RB-mの中からリード側のデバイスのリードバスを選択し、選択したリード

バス上のデータをリードバスRB上に出力する。

【0006】 尚、各デバイス1、2、…、mには、共通のクロック信号CLKが与えられており、また、図示していないが、DMAコントローラA10から別々のチップセレクト信号が与えられている。

【0007】 以上の構成において、リード側のデバイスのアドレスR(1)、R(2)、…、R(n)から順次データを読み出して、そのデータを読み出されたものから順にライト側のデバイスのアドレスW(1)、W

(2)、…、W(n)に書き込む際に、DMAコントローラA10が行う動作について、図7及び図8に示すタイミングチャートを用いて説明する。

【0008】 まず、最初のサイクルCYC(1)では、チップセレクト信号によりリード側のデバイスを選択状態、ライト側のデバイスを非選択状態にして、リード側のデバイスから読み出す先頭のデータD(1)のアドレスR(1)をアドレスバス信号ADDRで指定するとともに、リードライト制御信号R/Wにより読み出し命令を与える。これにより、先頭のデータD(1)が2番目のサイクルCYC(2)でリードバスRB上に出力される。

【0009】 次に、DMAコントローラA10がリードバスRB上のデータを1サイクルの期間ラッチしてライトバスWB上に出力する場合には、図7に示すように、3番目のサイクルCYC(3)で先頭のデータD(1)がライトバスWB上に出力されるので、アドレスバス信号ADDR及びリードライト制御信号R/Wについては、2番目のサイクルCYC(2)をアイドル区間とする。

【0010】 そして、3番目のサイクルCYC(3)にて、チップセレクト信号によりライト側のデバイスを選択状態、リード側のデバイスを非選択状態として、先頭のデータD(1)を書き込むアドレスW(1)をアドレスバス信号ADDRで指定するとともに、リードライト制御信号R/Wにより書き込み命令を与える。これにより、先頭のデータD(1)がライト側のデバイスのアドレスW(1)に書き込まれる。4番目のサイクルCYC(4)以降は、以上の処理を順次アドレスを更新しながら繰り返す。

【0011】 一方、DMAコントローラA10がリードバスRB上のデータをラッチすることなくライトバスWB上に出力する場合には、図8に示すように、2番目のサイクルCYC(2)で先頭のデータD(1)がライトバスWB上に出力されるので、2番目のサイクルCYC(2)にて、チップセレクト信号によりライト側のデバイスを選択状態、リード側のデバイスを非選択状態として、先頭のデータD(1)を書き込むアドレスW(1)をアドレスバス信号ADDRで指定するとともに、リードライト制御信号R/Wにより書き込み命令を与える。これにより、先頭のデータD(1)がライト側のデバイ

スBのアドレスW(1)に書き込まれる。3番目のサイクルCYC(3)以降は、以上の処理を順次アドレスを更新しながら繰り返す。

【0012】このような2アドレス方式のDMA転送システムでは、リード側のデバイスとライト側のデバイスとを時分割で駆動させるため、アドレスバス信号及びリードライト制御信号を1つに共通化できるという利点はあるが、1回のデータ転送に、リードバス上のデータをラッチしてライトバス上に出力する場合には3サイクルの時間を要し、リードバス上のデータをラッチすることなくライトバス上に出力する場合には2サイクルの時間を要するので、データの転送速度が低いという問題がある。

【0013】次に、1アドレス方式のDMA転送システムの一構成例を図9に示す。DMAコントローラA20からクロック同期型の各デバイス1、2、…、mには別々のアドレスバス信号ADDR、及び、別々のリードライト制御信号R/Wが与えられている。ライトバスWB上のデータは各デバイス1、2、…、mに共通に与えられている。

【0014】セクタBは、DMAコントローラA20からの指示に従って、各デバイス1、2、…、mのリードバスRB-1、RB-2、…、RB-mの中からリード側のデバイスのリードバスを選択し、選択したリードバス上のデータをリードバスRB上に出力する。

【0015】尚、各デバイス1、2、…、mには、共通のクロック信号CLKが与えられており、また、図示していないが、DMAコントローラA20から別々のチップセレクト信号が与えられている。

【0016】以上の構成において、リード側のデバイスのアドレスR(1)、R(2)、…、R(n)から順次データを読み出して、そのデータを読み出されたものから順にライト側のデバイスのアドレスW(1)、W(2)、…、W(n)に書き込む際に、DMAコントローラA20が行う動作について、図10に示すタイミングチャートを用いて説明する。

【0017】まず、リード側のデバイスについては、最初のサイクルCYC(1)ではアドレスバス信号ADDRによってアドレスR(1)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)を、2番目のサイクルCYC(2)ではアドレスバス信号ADDRによってアドレスR(2)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)を、…、n番目のサイクルCYC(n)ではアドレスバス信号ADDRによってアドレスR(n)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)をそれぞれ与える。

【0018】これにより、DMAコントローラA20がリードバスRB上のデータをラッチすることなくライトバスWB上に出力するようになってい

スWB上には、リード側のデバイスのアドレスR(1)のデータD(1)が2番目のサイクルCYC(2)に、アドレスR(2)のデータD(2)が3番目のサイクルCYC(3)に、…、アドレスR(n)のデータD(n)が(n+1)番目のサイクルCYC(n+1)にそれぞれ出力される。

【0019】一方、ライト側のデバイスについては、最初のサイクルCYC(1)ではアドレスバス信号ADDRによってアドレスW(1)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)を、2番目のサイクルCYC(2)ではアドレスバス信号ADDRによってアドレスW(2)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)を、…、n番目のサイクルCYC(n)ではアドレスバス信号ADDRによってアドレスW(n)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)をそれぞれ与える。

【0020】これにより、DMA転送による書き込みの際には、図11の(イ)に示すように、あるサイクルCYC(t)でリードライト制御信号R/Wにより書き込み命令(Write)が与えられたときには、サイクルCYC(t)ではライトバスWB上のデータD(t)の書き込みを行わずに、サイクルCYC(t)でアドレスバス信号ADDRにより指定されたアドレスW(t)に次のサイクルCYC(t+1)でライトバスWB上のデータD(t+1)を書き込むように、各デバイスを構成しておけば、リード側のアドレスR(1)のデータD(1)、アドレスR(2)のデータD(2)、…、アドレスR(n)のデータD(n)は、ライト側のデバイスのアドレスW(1)、W(2)、…、W(n)にそれぞれ書き込まれる。

【0021】このような1アドレス方式のDMA転送では、最初のサイクルと最後のサイクルとを除く各サイクルで、リード側のデバイスからの読み出しとライト側のデバイスへの書き込みとが同時に進行するので、データの転送速度が高いというメリットがある。

【0022】

【発明が解決しようとする課題】ここで、CPUによるデータ転送の際には、ライト側のデバイスは、図11の(ロ)に示すように、あるサイクルCYC(t)でアドレスバス信号ADDRによりアドレスW(t)が指定された上でリードライト制御信号R/Wにより書き込み命令(Write)が与えられたときには、同サイクルCYC(t)でデータバスDB上のデータD(t)をアドレスW(t)に書き込みを行わなければならない。

【0023】これに対して、1アドレス方式のDMA転送によるデータ転送の際には、ライト側のデバイスは、上述したように、書き込み命令があった次のサイクルでデータの書き込みを行わなければならない。すなわち、1アドレス方式のDMA転送では、CPUによるデータ

転送の場合とDMA転送によるデータ転送の場合とでライト側のデバイスが書き込みを行うタイミングが異なり、書き込みを行うタイミングを切り替える機能をデバイス側に設ける必要がある。

【0024】そこで、本発明は、書き込みを行うタイミングを切り替える機能をデバイス側に設けることなく、データの転送速度を向上させたDMA転送システムを提供することを目的とする。

【0025】

【課題を解決するための手段】上記の目的を達成するため、本発明では、読み出し命令が行われたサイクルで指定されたアドレスのデータを次のサイクルでリードバス上に出力する複数のデバイスと、リードバス上に出力されたデータをライトバス上に出力するとともに、アドレスを指定するためのアドレスバス信号、並びに、読み出し命令及び書き込み命令を与えるためのリードライト制御信号を各デバイス毎に別々に制御する制御回路と、から成るDMA転送システムにおいて、リード側のデバイスの第1の番地、第2の番地、…、第nの番地の順にデータを読み出し、ライト側のデバイスの第1の番地、第2の番地、…、第nの番地に読み出した順に書き込む際には、リード側のデバイスにK番目のサイクル（但し、 $K=1, 2, \dots, n$ ）にて、第Kの番地を指定した上で読み出し命令を与え、一方、ライト側のデバイスには、リードバス上のデータをLサイクル（但し、Lは0または正の整数）の期間ラッチしてライトバス上に出力することにより、 $(K+L+1)$ 番目のサイクルにて第Kの番地を指定した上で書き込み命令を与えるようにしている。

【0026】この構成により、一部のサイクルを除く各サイクルでは、リード側のデバイスからの読み出しとライト側のデバイスへの書き込みとが同時に進行するとともに、CPUによる書き込みのタイミングとDMA転送による書き込みのタイミングとが同一となる。

【0027】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しながら説明する。本発明の第1実施形態であるDMA転送システムの構成は、図1に示すようになっており、従来技術として図9に示した1アドレス方式のDMA転送システムの構成と同一であるが、本第1実施形態のDMA転送システムにおけるDMAコントローラA1の動作が1アドレス方式のDMA転送システムにおけるDMAコントローラA20の動作と異なっているの

で、これについて説明する。

【0028】本第1実施形態のDMA転送システムにおいて、リード側のデバイスのアドレスR(1)、R(2)、…、R(n)から順次データを読み出して、そのデータを読み出されたものから順にライト側のデバイスのアドレスW(1)、W(2)、…、W(n)に書き込む際に、DMAコントローラA1が行う動作につい

て、図2及び図3に示すタイミングチャートを用いて説明する。

【0029】まず、リード側のデバイスについては、最初のサイクルCYC(1)ではアドレスバス信号ADDRによってアドレスR(1)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)を、2番目のサイクルCYC(2)ではアドレスバス信号ADDRによってアドレスR(2)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)を、…、n番目のサイクルCYC(n)ではアドレスバス信号ADDRによってアドレスR(n)を指定した上でリードライト制御信号R/Wにより読み出し命令(Read)をそれぞれ与える。

【0030】これにより、リードバスRB上には、リード側のデバイスのアドレスR(1)のデータD(1)が2番目のサイクルCYC(2)に、アドレスR(2)のデータD(2)が3番目のサイクルCYC(3)に、…、アドレスR(n)のデータD(n)が $(n+1)$ 番目のサイクルCYC(n+1)にそれぞれ出力される。

【0031】次に、DMAコントローラA1がリードバスRB上のデータを1サイクルの期間ラッチしてライトバスWB上に出力する場合には、図2に示すように、ライトバスWB上には、リード側のデバイスのアドレスR(1)のデータD(1)が3番目のサイクルCYC(3)に、アドレスR(2)のデータD(2)が4番目のサイクルCYC(4)に、…、アドレスR(n)のデータD(n)が $(n+2)$ 番目のサイクルCYC(n+2)にそれぞれ出力される。

【0032】したがって、ライト側のデバイスについては、3番目のサイクルCYC(3)から $(n+2)$ 番目のサイクルCYC(n+2)までの間を選択状態とし、3番目のサイクルCYC(3)ではアドレスバス信号ADDRによってアドレスW(1)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)を、4番目のサイクルCYC(4)ではアドレスバス信号によってアドレスW(2)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)を、…、 $(n+2)$ 番目のサイクルCYC(n+2)ではアドレスバス信号によってアドレスW(n)を指定した上でリードライト制御信号R/Wにより書き込み命令(Write)をそれぞれ与える。

【0033】これにより、リード側のデバイスのアドレスR(1)のデータD(1)、アドレスR(2)のデータD(2)、…、アドレスR(n)のデータD(n)は、ライト側のデバイスのアドレスW(1)、W(2)、…、W(n)にそれぞれ書き込まれる。

【0034】一方、DMAコントローラA1がリードバスRB上のデータをラッチすることなくライトバスWB上に出力する場合には、図3に示すように、ライトバスWB上には、デバイス1のアドレスR(1)のデータD

(1) が2番目のサイクルCYC (2) に、アドレスR (2) のデータD (2) が3番目のサイクルCYC (3) に、…、アドレスR (n) のデータD (n) が (n+1) 番目のサイクルCYC (n+1) にそれぞれ出力される。

【0035】したがって、ライト側のデバイスについては、チップセレクト信号によって2番目のサイクルCYC (2) から (n+1) 番目のサイクルCYC (n+1) までの間を選択状態とし、2番目のサイクルCYC (2) ではアドレスバス信号ADDRによってアドレスW (1) を指定した上でリードライト制御信号R/Wにより書き込み命令 (Write) を、3番目のサイクルCYC (3) ではアドレスバス信号ADDRによってアドレスW (2) を指定した上でリードライト制御信号R/Wにより書き込み命令 (Write) を、…、(n+1) 番目のサイクルCYC (n+1) ではアドレスバス信号ADDRによってアドレスW (n) を指定した上でリードライト制御信号R/Wにより書き込み命令 (Write) をそれぞれ与える。

【0036】これにより、リード側のデバイスのアドレスR (1) のデータD (1)、アドレスR (2) のデータD (2)、…、アドレスR (n) のデータD (n) は、ライト側のデバイスのアドレスW (1)、W (2)、…、W (n) にそれぞれ書き込まれる。

【0037】尚、DMAコントローラA1がリードバスRB上のデータを1サイクルの期間ラッチしてライトバスWB上に出力する場合には、最初のサイクルCYC (1) から (n+2) 番目のサイクルCYC (n+2) までの間、一方、DMAコントローラA1がリードバスRB上のデータをラッチすることなくライトバスWB上に出力する場合には、最初のサイクルCYC (1) から (n+1) 番目のサイクルCYC (n+1) までの間、リード側のデバイス及びライト側のデバイス以外の全てのデバイスはチップセレクト信号により非選択状態となっている。

【0038】このように、本第1実施形態のDMA転送システムでは、デバイス間でn個のデータを転送する際には、リードバス上のデータを1サイクルの期間ラッチしてライトバス上に出力する場合には、3番目のサイクルからn番目のサイクルまで、また、リードバス上のデータをラッチすることなくライトバス上に出力する場合には、2番目のサイクルからn番目のサイクルまで、リード側のデバイスからの読み出しとライト側のデバイスへの書き込みとが同時に進行するので、データの転送速度が高い。

【0039】これに加えて、本第1実施形態のDMA転送システムでは、ライト側のデバイスでは、書き込み命令があったサイクルでデータの書き込みを行えばよいので、CPUによる書き込みの場合とDMA転送による書き込みの場合とで書き込みを行うタイミングが同じであ

り、書き込みを行うタイミングを切り替える機能をデバイス側に設ける必要はない。

【0040】尚、DMAコントローラがリードバス上のデータを2サイクル以上の期間ラッチしてライトバス上に出力するものであったり、クロック同期型のデバイスが読み出し命令が与えられたサイクルにおいて指定されたアドレスのデータを2つ以上後ろのサイクルでリードバス上に出力するものである場合には、リードバス上のデータがライトバス上に出力されるまでにラッチされるサイクル数をL、デバイスに読み出し命令を与えてからリードバス上にデータが出力されるまでに要するサイクル数を α とすると、リード側のデバイスに対してアドレスを指定した上で読み出し命令を与えたサイクルの ($\alpha + L$) 個だけ後ろのサイクルで、ライト側のデバイスに対してリード側のデバイスの上記アドレスのデータを書き込むアドレスを指定した上で書き込み命令を与えるようにすればよい。

【0041】本発明の第2実施形態であるDMA転送システムの構成を図4に示す。本第2実施形態のDMA転送システムでは、システム内の各デバイスが第1系列S1、第2系列S2、…、第m系列Smからなる複数の系列に分類されており、DMAコントローラA2からは各系列S1、S2、…、Sm毎に異なるアドレスバス信号ADDR、及び、異なるリードライト制御信号R/Wが与えられている。ライトバスWB上のデータは各系列S1、S2、…、Smに共通に与えられている。

【0042】セクタB1は、DMAコントローラA2からの指示に従って、各系列S1、S2、…、SmのリードバスRB-S1、RB-S2、…、RB-Smの中からリードライト制御信号R/Wによって読み出し命令が与えられている系列のリードバスを選択し、選択したリードバス上のデータをリードバスRB上に出力する。尚、各系列S1、S2、…、Smには共通のクロック信号CLKが与えられている。

【0043】第k系列Sk (k=1、2、…、m) 内の各デバイスk-1、k-2、…、k-xには、図5に示すように、DMAコントローラA2から第k系列Skに与えられるアドレスバス信号ADDR、リードライト制御信号R/Wがそれぞれ共通に与えられている。ライトバスWB上のデータは各デバイスk-1、k-2、…、k-xに共通に与えられている。

【0044】セクタB2は、DMAコントローラA2から系列Skへ与えられるリードライト制御信号R/W、及び、系列Sk内の各デバイスへ与えられる不図示のチップセレクト信号に基づいて、各デバイスk-1、k-2、…、k-xのリードバスRBk-1、RBk-2、…、RBk-xの中から、系列Sk内にリード側のデバイスとなるデバイスがあれば、そのデバイスのリードバスを選択し、選択したリードバス上のデータをリードバスRB-Sk上に出力する。

【0045】尚、各デバイス $k-1$ 、 $k-2$ 、…、 $k-x$ には、系列 S_k に与えられるクロック信号 CLK が共通に与えられており、また、図示していないが、DMA コントローラ A_2 から別々のチップセレクト信号が与えられている。

【0046】以上の構成において、ある系列のデバイスからデータを読み出して別の系列のデバイスに書き込む際に DMA コントローラ A_2 が行う動作は、上記第 1 実施形態の DMA 転送システムにおいて、あるデバイスからデータを読み出して別のデバイスに書き込む際に、DMA コントローラ A_1 が行う動作と同一である。したがって、書き込みを行うタイミングを切り替える機能をデバイス側に設けることなく、異なる系列に属する 2 つのデバイス間でのデータの転送速度を向上させることができる。

【0047】尚、同じ系列内の各デバイスには、共通のアドレスバス信号及び共通のリードライト制御信号が与えられているので、同じ系列内のデバイス間でデータ転送を行う場合には、従来の 2 アドレス方式で行うことになり、データの転送速度が低くなるが、その反面、システム内のデバイスの総数が同じであるとすれば、上記第 1 実施形態の DMA 転送システムよりも、アドレスバス信号及びリードライト制御信号の数が少なくて済むというメリットがある。

【0048】したがって、本第 2 実施形態の DMA 転送システムにおいては、それらの間でのデータ転送が DMA 転送により行われないデバイスを同じ系列に分類するようにしておけばよい。具体例を挙げると、DMA 転送は、通常、入力回路からメモリへのデータ転送や、メモリから出力回路へのデータ転送に用いられることから、各デバイスをメモリと入出力回路との 2 種類の系列に分類する方法が考えられる。

【0049】

【発明の効果】以上説明したように、本発明の DMA 転送システムによれば、一部のサイクルを除く各サイクルでは、リード側のデバイスからの読み出しとライト側のデバイスへの書き込みとが同時に進行するが、ライト側のデバイスへの書き込みのタイミングは CPU による書き込みのタイミングと同一であるので、書き込みを行う

タイミングを切り替える機能をデバイス側に設けることなく、データの転送速度を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態である DMA 転送システムの構成を示すブロック図である。

【図 2】 本発明の第 1 実施形態である DMA 転送システムにおける DMA コントローラの動作を説明するための図である。

【図 3】 本発明の第 1 実施形態である DMA 転送システムにおける DMA コントローラの動作を説明するための図である。

【図 4】 本発明の第 2 実施形態である DMA 転送システムの構成を示すブロック図である。

【図 5】 図 5 に示す各系列内の構成を示すブロック図である。

【図 6】 2 アドレス方式の DMA 転送システムの構成を示すブロック図である。

【図 7】 2 アドレス方式の DMA 転送システムにおける DMA コントローラの動作を説明するためのタイミングチャートである。

【図 8】 2 アドレス方式の DMA 転送システムにおける DMA コントローラの動作を説明するためのタイミングチャートである。

【図 9】 1 アドレス方式の DMA 転送システムの構成を示すブロック図である。

【図 10】 1 アドレス方式の DMA 転送システムにおける DMA コントローラの動作を説明するためのタイミングチャートである。

【図 11】 (イ) 1 アドレス方式の DMA 転送によるデータ転送の際にライト側のデバイスが書き込みを行うタイミングを説明するための図である。(ロ) CPU によるデータ転送の際にライト側のデバイスが書き込みを行うタイミングを説明するための図である。

【符号の説明】

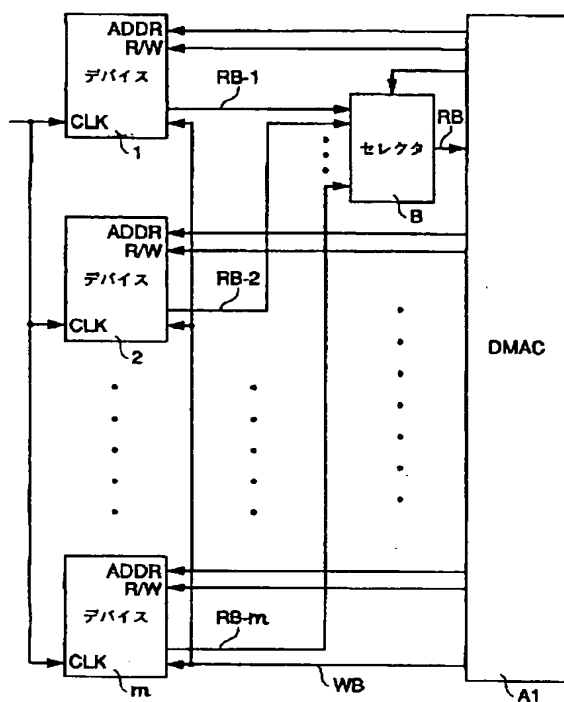
1、2、…、 m デバイス

S_1 、 S_2 、…、 S_m 系列

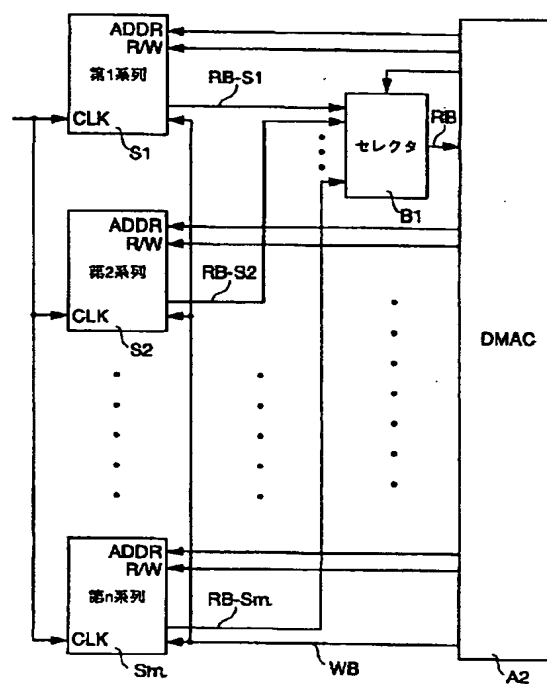
A_1 、 A_2 DMA コントローラ

B、 B_1 、 B_2 セレクタ

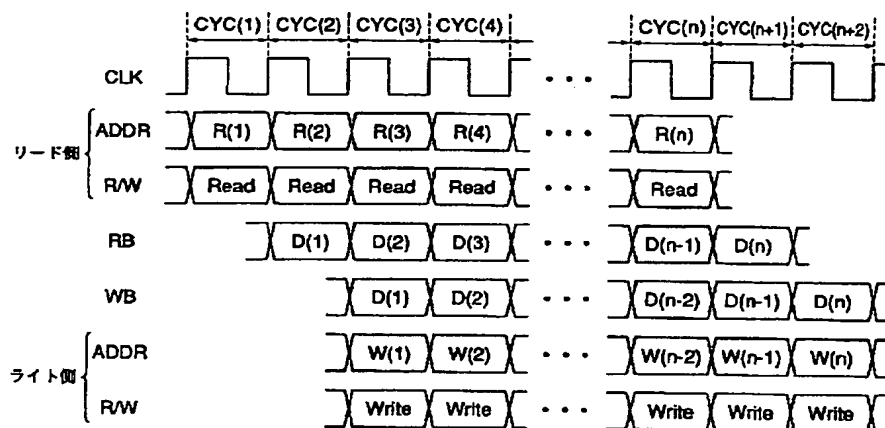
【図1】



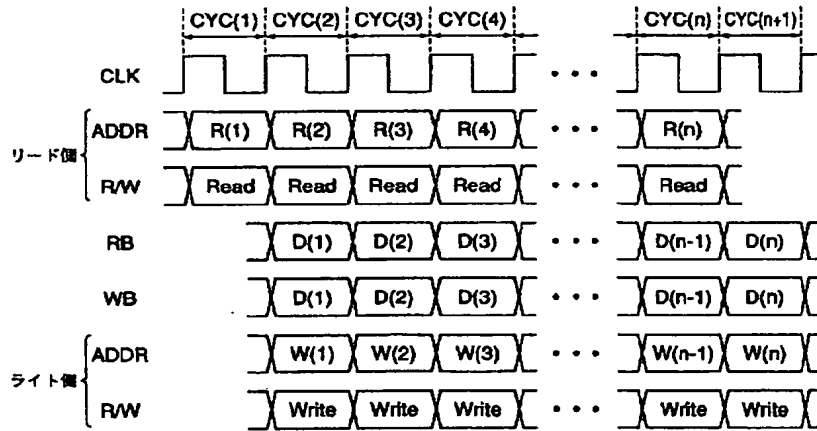
【図4】



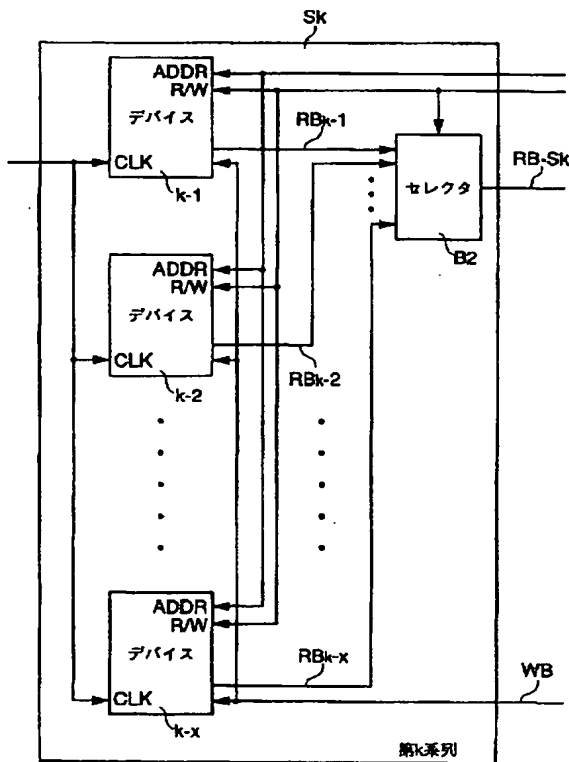
【図2】



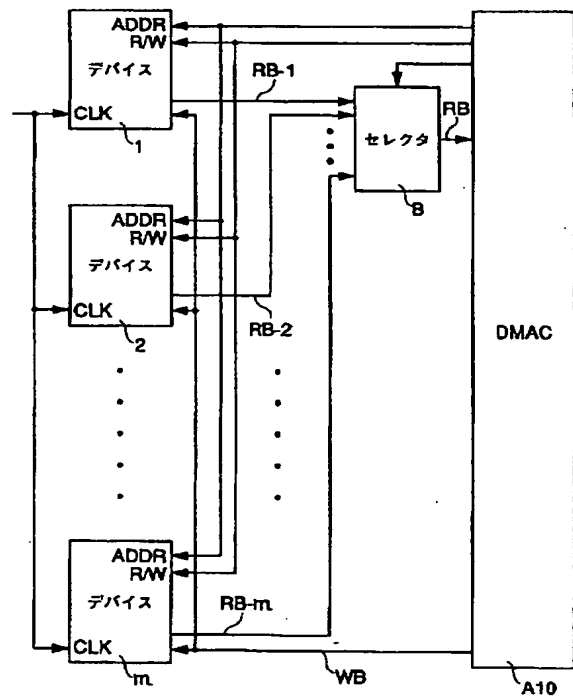
【図3】



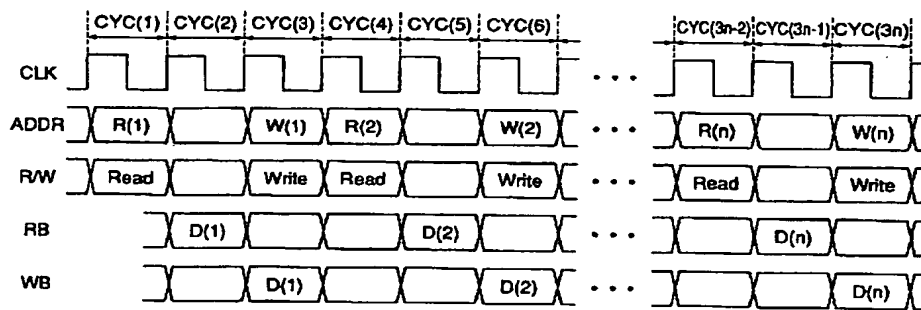
【図5】



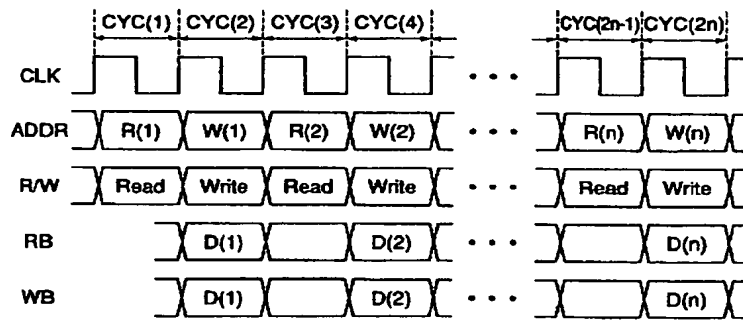
【図6】



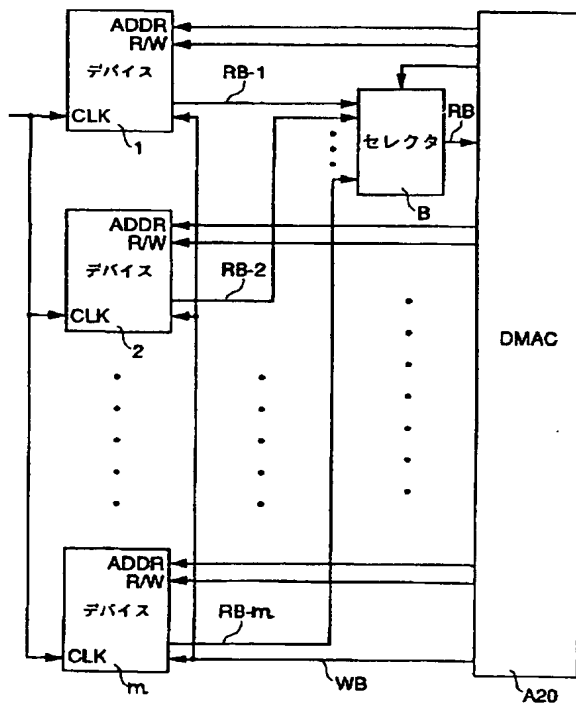
【図7】



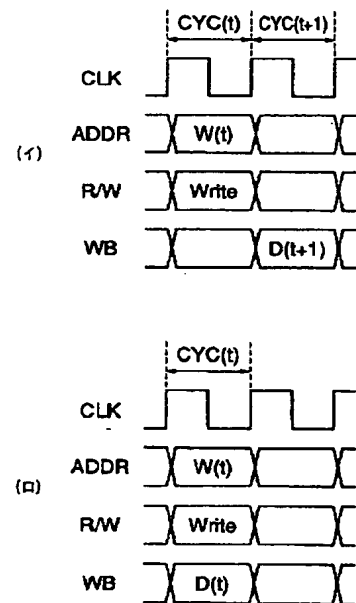
【図8】



【図9】



【図11】



【図 10】

